

Tema 4: El Transistor MOSFET

INDICE

4.1 INTRODUCCION	4-2
4.2 ESTRUCTURA METAL-OXIDO-SEMICONDUCTOR.....	4-3
4.3 CARACTERISTICAS ESTATICAS DEL TRANSISTOR MOS.....	4-4
4.3.1 MOS de enriquecimiento de canal N.....	4-4
4.3.2 MOS de enriquecimiento de canal P	4-11
4.3.3 MOS de empobrecimiento de canal N	4-12
4.3.4 MOS de empobrecimiento de canal P	4-15
4.4 EL MOSFET COMO INVERSOR.....	4-16
4.4.1 Inversores NMOS.....	4-17
4.4.2 Inversores CMOS.....	4-19
4.5 EL MOSFET COMO AMPLIFICADOR.....	4-22
4.6 COMPORTAMIENTO DINAMICO DEL MOSFET.....	4-23
4.7 BIBLIOGRAFIA	4-25

4.1 INTRODUCCION.

En este tema se presenta un tipo de transistor cuyo funcionamiento está basado en el transporte de carga asociado a un único tipo de portadores (e^- o p^+). Debido a ello, a veces son conocidos con el nombre de transistores unipolares, a diferencia de los transistores bipolares (*BJT*) estudiados en el tema 3, en los que el transporte de carga se realiza mediante ambos tipos de portadores inyectados a través de las uniones *PN* polarizadas directamente.

Desde el punto de vista físico, el principio de funcionamiento se centra en la acción de un campo eléctrico sobre cargas eléctricas, provocando su desplazamiento y, por ende, la corriente eléctrica. De ahí su nombre genérico de: *FET - Field Effect Transistor*.

Se ha desarrollado diversas estructuras de transistores *FET*, según la tecnología y/o necesidades. Las más importante son las implementadas con tecnologías sobre Silicio (*Si*) como el *JFET*, o *Junction FET*, y el *MOSFET*, o *Metal-Oxide-Semiconductor FET*. En tecnologías de Arseniuro de Galio (*AsG*) se han implementado transistores *MESFET* o *Metal-Semiconductor FET*. El desarrollo actual de las tecnologías de Silicio es muy elevado. No así en el caso de las de *AsGa*, que se encuentran aún en fase de investigación y experimentación con un grado de fiabilidad relativo, y a veces no disponible comercialmente. La mayoría de los *CI* actuales se realizan sobre tecnologías de *Si*. Dentro de ellas, el transistor *MOSFET* es ampliamente el más utilizado sobre los demás (*JFET*) por poseer ciertas características que los hacen ventajosos, incluso en ocasiones respecto del transistor bipolar:

- 1.- El proceso de fabricación es simple (menor número de pasos)
- 2.- Reducido tamaño, que conducen a densidades de integración elevadas.
- 3.- Se puede evitar el uso de resistencias, debido a que su comportamiento se puede modelar mediante técnicas de circuito.
- 4.- Reducido consumo de energía (menor consumo de potencia).
- 5.- Pueden implementarse tanto funciones analógicas como digitales y/o mixtas dentro de un mismo *chip*.

Estas características han impulsado el desarrollo y uso de los transistores *MOSFET*, siendo la mayoría de los circuitos *LSI* y *VLSI* fabricados en tecnologías *MOSFET* (μP , memorias).

4.2 ESTRUCTURA METAL-OXIDO-SEMICONDUCTOR (MOS)

La estructura *MOS* se compone de dos terminales y tres capas: Un SUBSTRATO de silicio, puro o poco dopado *p* o *n*, sobre el cual se genera una capa de OXIDO DE SILICIO (SiO_2) que posee características dieléctricas o aislantes. Por último, sobre esta se coloca una capa de METAL (Aluminio o polisilicio), que posee características conductoras. En la parte inferior se coloca un contacto óhmico, como se muestra en la Fig. 4.1.

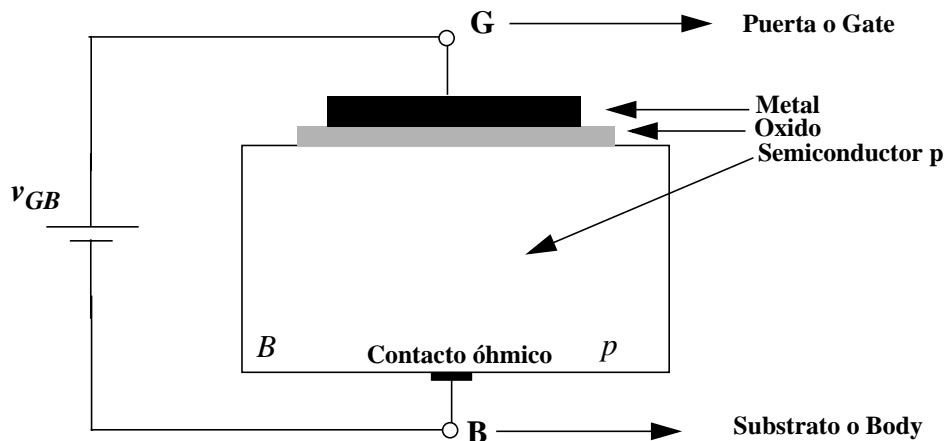


Fig. 4.1 Estructura MOS.

La estructura *MOS* actúa como un condensador de placas paralelas en el que *G* y *B* son las placas y el óxido el aislante. De este modo, cuando $v_{GB}=0$, la carga acumulada es cero y la distribución de portadores es aleatoria y correspondiente al estado de equilibrio en el semiconductor. Si $v_{GB} > 0$, aparece un campo eléctrico entre los terminales de puerta y substrato. La región semiconductor *p* se comporta creando una región de empobrecimiento de cargas libres p^+ (zona de depleción), al igual que ocurriría en la región *P* de una unión *PN* cuando estaba polarizada negativamente. Esta región de iones negativos se incrementa con v_{GB} . Al llegar a una cota de v_{GB} , los iones presentes en la zona semiconductor de empobrecimiento no pueden compensar el campo eléctrico y se provoca la acumulación de cargas negativas libres (e^-) atraídos por el terminal positivo. Se dice entonces que la estructura ha pasado de estar en **inversión débil** a **inversión fuerte**. El proceso de inversión se identifica con el cambio de polaridad del substrato debajo de la región de puerta. En inversión fuerte, se forma así un CANAL de e^- libres en las proximidades del terminal de *gate* (puerta) y de huecos p^+ en el extremo de la puerta.

La intensidad de puerta, i_G , es cero, puesto que en continua se comporta como un condensador (*GB*). Por lo tanto, podemos decir que la impedancia desde la puerta al substrato es prácticamente infinita e $i_G=0$ siempre en estática. Básicamente, la estructura MOS permite crear una densidad de portadores libres suficiente para sustentar una corriente eléctrica.

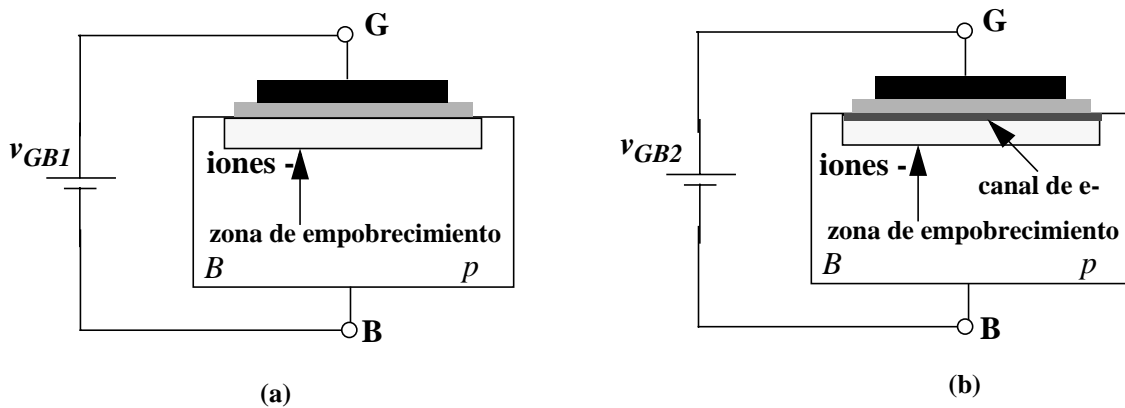


Fig. 4.2 Estructura MOS en inversión débil (a) e inversión fuerte (b).

3.3 EL TRANSISTOR MOSFET. PRINCIPIOS BASICOS.

A continuación se distinguen varias estructuras MOS similares, de las cuales se analizará en más detalle la denominada *MOSFET* de enriquecimiento de CANAL N, aunque el funcionamiento de todas ellas es similar, y se basan en el mismo principio de operación.

4.3.1 MOSFET de enriquecimiento de CANAL N

Se trata de una estructura *MOS* de cuatro terminales en la que el sustrato semiconductor es de tipo *p* poco dopado. A ambos lados de la interfase Oxido-Semiconductor se han practicado difusiones de material *n*, fuertemente dopado (n^+).

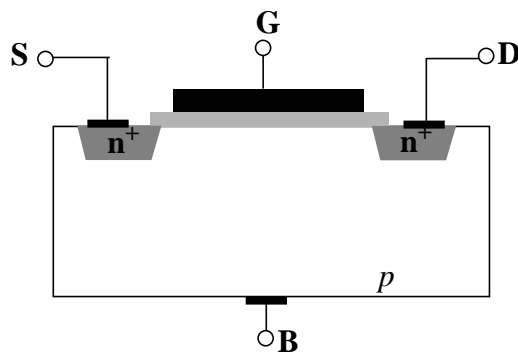


Fig. 4.3 Estructura MOSFET de canal N.

Los cuatro terminales de la estructura de la Fig. 4.3 son:

G -- Puerta o *Gate*

B -- Substrato o *Body*

D -- Drenador o *Drain*

S -- Fuente o *Source*

Los símbolos más utilizados para su representación a nivel de circuito se muestran en la Fig. 4.4. El terminal B suele estar colocado a la tensión más negativa (referencia o GND) por lo que se omite en algunos símbolos (Fig. 4.4 (a) y (b)). De este modo se garantiza que los diodos de unión parásitos entre el sustrato y drenador y fuente respectivamente siempre están polarizados negativamente. La flecha en el terminal de fuente nos informa sobre el sentido de la corriente. Observar que: $i_G=0$ e $i_D = i_S$. A continuación se describe el principio de operación de esta estructura de transistor.

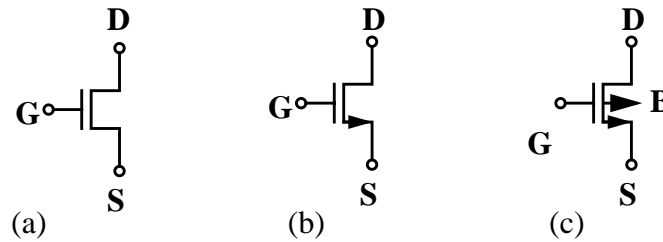


Fig. 4.4 Símbolos para el transistor MOSFET de canal N.

Se considera la estructura MOS de la Fig. 4.5. En ella aparecen diversas fuentes de tensión polarizando los diversos terminales: v_{GS} , v_{DS} . Los terminales de sustrato (B) y fuente (S) se han conectado a GND . De este modo, $v_{SB}=0$, se dice que no existe *efecto sustrato*.

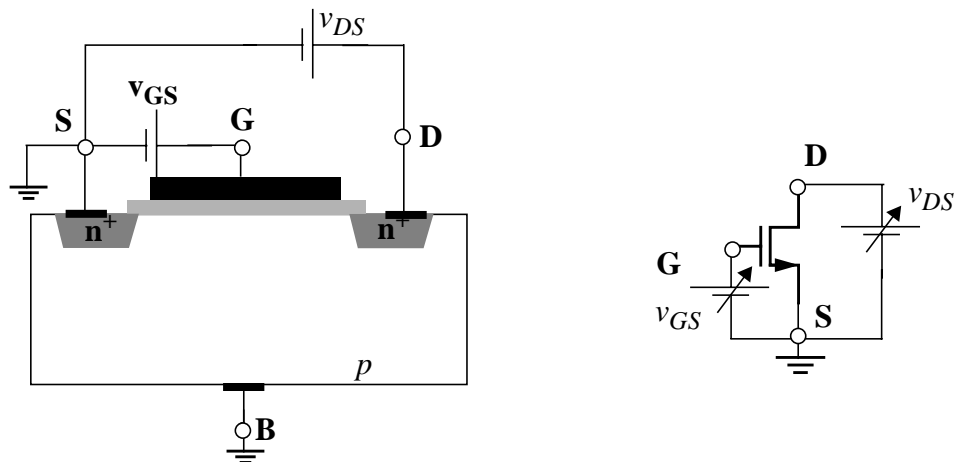


Fig. 4.5 Estructura MOS polarizada.

Se consideran ahora tres casos, según los valores que tome la tensión v_{GS} :

1) $v_{GS} = 0$

Esta condición implica que $v_{GB}=0$, puesto que $v_{SB}=0$. En estas condiciones no existe efecto campo y no se crea el canal de e^- debajo de la puerta. Las dos estructuras PN se encuentran cortadas (B al terminal más negativo) y aisladas. $i_{DS} = 0$ aproximadamente, pues se alimenta de las intensidades inversas de saturación.

$$v_{GS} = 0 \Rightarrow i_{DS} = 0 \tag{4.1}$$

2) La tensión v_{GS} crea la zona de empobrecimiento o deplexión en el canal. Se genera carga eléctrica negativa en el canal debida a los iones negativos de la red cristalina (similar a la de una unión PN polarizada en la región inversa), dando lugar a la situación de inversión débil anteriormente citada. La aplicación de un campo eléctrico lateral $v_{DS} > 0$, no puede generar corriente eléctrica i_{DS} .

3) La tensión v_{GS} da lugar a la inversión del canal y genera una población de e^- libres debajo del oxido de puerta y p^+ al fondo del sustrato. Se forma el CANAL N o canal de electrones, entre el drenador y la fuente (tipo n^+) que modifica las características eléctricas originales del sustrato. Estos electrones son cargas libres, de modo que en presencia de un campo eléctrico lateral podrían verse acelerados hacia D o S. Sin embargo, existe un valor mínimo de v_{GS} para que el número de electrones sea suficiente para alimentar esa corriente es V_{Tn} , denominada TENSION UMBRAL.

Por lo tanto, se pueden diferenciar dos zonas de operación para valores de v_{GS} positivos: si $v_{GS} < V_{Tn}$ la intensidad $i_{DS} = 0$ (en realidad solo es aproximadamente cero) y decimos que el transistor opera en **inversión débil**. En ella, las corrientes son muy pequeñas y su utilización se enmarca en contextos de muy bajo consumo de potencia. Se considerará que la corriente es siempre cero. De otro lado, si $v_{GS} \geq V_{Tn}$, entonces i_{DS} distinto de cero, si v_{DS} es no nulo. Se dice que el transistor opera en **inversión fuerte**.

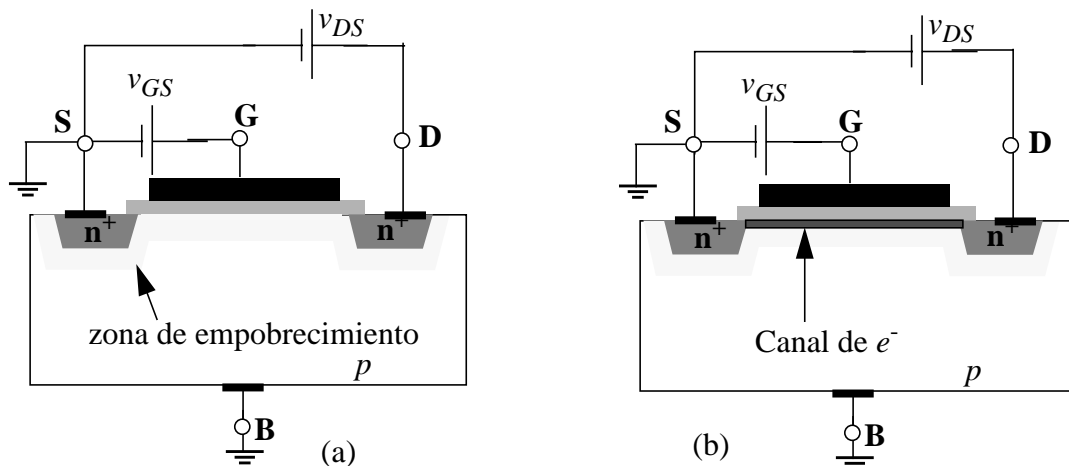


Fig. 4.6 (a) Polarización del canal en inversión débil. (b) inversión fuerte.

Mientras mayor sea el valor de v_{GS} , mayor será la concentración de cargas libres en el canal y por tanto, será superior la corriente i_{DS} . Al ser la intensidad i_{DS} proporcional a v_{GS} y

v_{DS} , se puede estudiar la relación paramétrica (i_{DS}, v_{DS}) con v_{GS} como parámetro. Se obtiene la curva de la Fig. 4.7. En ella se aprecia cómo a partir de un valor dado de la tensión v_{DS} , la intensidad i_{DS} permanece constante. Este efecto se puede explicar desde el punto de vista de concentración de e^- disponible en el canal. La Fig. 4.8(a) ilustra la situación que acontece

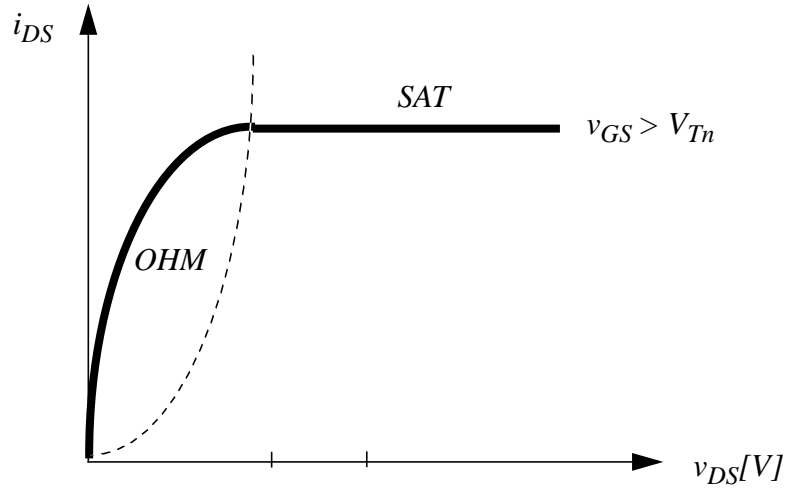


Fig. 4.7 Característica de I-V del transistor *MOS* de canal N.

cuando se aplica una tensión v_{DS} pequeña a un transistor en inversión fuerte. Al estar más positivamente polarizada la región del drenador respecto del sustrato, la concentración de e^- se hace mayor en las cercanías de la fuente. Si se incrementa la tensión v_{DS} por encima de un cierto nivel, la tensión en el drenador se eleva tanto que sitúa a la tensión V_{GD} por debajo del valor umbral necesario para la existencia de canal de e^- . A partir de ahí la corriente de drenador se independiza prácticamente de v_{DS} .

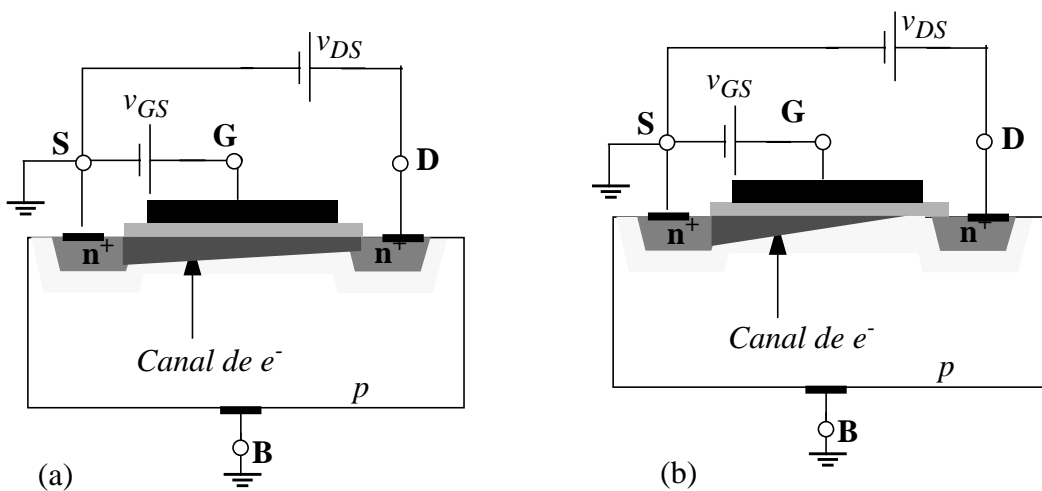


Fig. 4.8 (a) Polarización en inversión fuerte: (a) región óhmica (b) región de saturación.

i_{DS} se incrementa con v_{DS} para pequeños valores de v_{DS} . A partir de un cierto valor, este comportamiento cambia, y se hace constante i_{DS} . A la primera región se la denomina REGION

OHMICA, mientras que a la segunda, REGION DE SATURACION. Para diferentes valores de v_{GS} , se pueden obtener la familia de curvas mostrada en la Fig. 4.9.

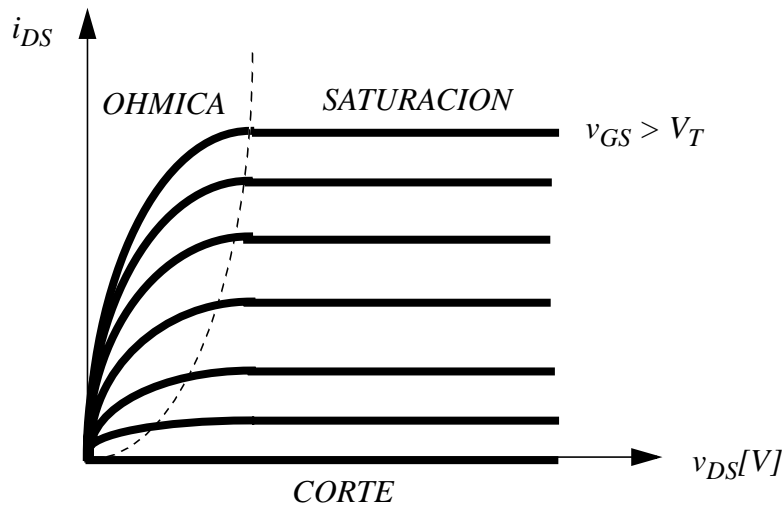


Fig. 4.9 Familia de curvas del transistor MOS de canal N.

Se puede resumir los expuesto de la siguiente manera:

- REGION DE CORTE:

$$v_{GS} = 0 \Rightarrow i_{DS} = 0 \quad (4.2)$$

- REGION DE CONDUCCIÓN:

$$v_{GS} \geq V_T \Rightarrow i_{DS} \neq 0 \quad si \quad v_{DS} > 0 \quad (4.3)$$

Dentro de la región de conducción podemos identificar dos posibles situaciones para el MOS:

- REGION ÓHMICA: i_{DS} aumenta con v_{DS} , es decir, el MOSFET se comporta como un resistor (no lineal).

- REGION DE SATURACIÓN: i_{DS} es aproximadamente constante con v_{DS} . Se comporta como una fuente de intensidad controlada por tensión ($v_{GS} = cte$).

El límite entre la región óhmica y de saturación se cumple para:

$$v_{GS} - V_T = v_{DS} \quad (4.4)$$

de tal forma que,

- Para $v_{DS} < v_{GS} - V_T$ el transistor se encuentra en la región óhmica
- Para $v_{DS} > v_{GS} - V_T$ el transistor se encuentra en la región de saturación

Las expresiones correspondientes para la corriente drenador, obtenidas mediante el análisis del transporte de carga desde la fuente hacia el drenador para las diferentes regiones de operación, se muestran a continuación,

$$i_{DS} = \frac{k_n W}{2 L} (2(v_{GS} - V_{Tn})v_{DS} - v_{DS}^2), \quad \text{ohmica} \quad (4.5)$$

$$i_{DS} = \frac{k_n W}{2 L} (v_{GS} - V_{Tn})^2, \quad \text{saturacion} \quad (4.6)$$

siendo $k_n = \mu_n C_{ox}$ el parámetro de transconductancia. μ_n es la movilidad de los e^- y C_{ox} la capacidad por unidad de área de la estructura MOS. Se suele definir también $\beta = k_n (W/L)$, que es un parámetro que depende tanto de la geometría como de los parámetros eléctricos de la tecnología. Valores típicos para $k_n = 20-70 \mu A/V^2$ / $k_p = 8-30 \mu A/V^2$. W y L definen el área del canal y pueden ser utilizadas por el diseñador para ajustar las características del circuito a unas especificaciones dadas.

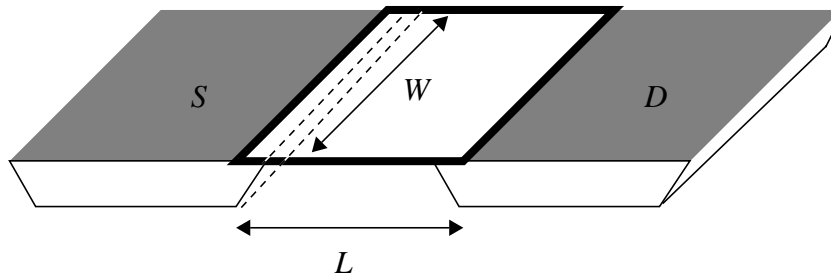


Fig. 4.10 Área del canal de un transistor MOS de canal N.

discusión de las ecuaciones del transistor MOS:

- (1) La expresión de la intensidad en la región óhmica, si $v_{DS} \ll L$, se puede aproximar a,

$$i_{DS} = k_n' \frac{W}{L} (v_{GS} - V_{Tn}) v_{DS} \quad (4.7)$$

que representa la ecuación constitutiva de una resistencia de valor $R^{-1} = k_n' (W/L) (v_{GS} - V_{Tn})$. Siendo $k_n' = k_n/2$.

- (2) En el límite de esta región, haciendo $v_{DS} = v_{GS} - V_T$, se obtiene la expresión de I_D en saturación. En esta expresión, i_D depende de v_{GS} cuadráticamente (dependencia de una

parábola). La conducción se activa a partir de V_{Tn} voltios para v_{GS} . La expresión más exacta para la intensidad es:

$$i_{DS} = \frac{k_n W}{2 L} (v_{GS} - V_{Tn})^2 \cdot (1 + \lambda \cdot v_{DS}), \quad \text{saturation} \quad (4.8)$$

en la que λ es el parámetro de modulación de la longitud del canal. Suele ser muy pequeño ($0.001-0.005 \text{ V}^{-1}$). En general modifica poco la expresión de i_{DS} , pero es necesario tenerlo en cuenta para evaluar la resistencia de salida del transistor.

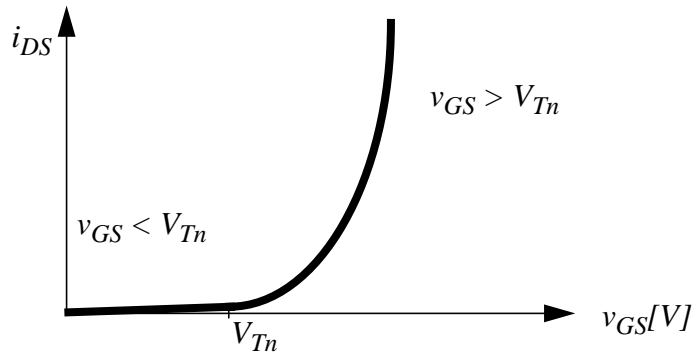


Fig. 4.11 Dependencia de i_D con v_{GS} en saturación.

(3) Cuando v_{SB} no es cero, la expresión de la tensión umbral queda modificada por,

$$V_T = V_{Tn} + \gamma \cdot (\sqrt{2\Phi_f + v_{SB}} - \sqrt{2\Phi_f}) \quad (4.9)$$

donde γ es el parámetro de **efecto substrato** (del orden de 0.5), V_{Tn} es la tensión umbral nominal para $v_{SB}=0$, que suele oscilar entre 0.5 y 1.5V y $2\Phi_f$ es una constante física de valor 0.6V.

EJEMPLO 4.1: En el circuito de la Fig. 4.12, el transistor MOS de enriquecimiento tiene los siguientes parámetros: $V_T=2V$, $\beta=3 \cdot 10^{-4} A/V^2$. Hallar el valor de v_{DS} e i_D .

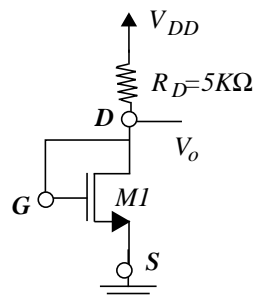


Fig. 4.12

Aprovechamos el conexionado del transistor para determinar su región de operación: $v_{GS} = v_{DS}$ luego $v_{DS} \geq v_{GS} - V_T$. $M1$ se encuentra en **SATURACION**, luego

$$i_{DS} = \frac{k_n W}{2 L} (v_{GS} - V_{Tn})^2 \quad (4.10)$$

Si se tiene en cuenta conjuntamente la ecuación: $V_{DD} = i_{DS} \cdot R_D + v_{DS}$, encontramos dos soluciones para v_{DS} :

$$v_{DS1} = 5.55V, i_{DS1} = 1.89mA$$

$$v_{DS2} = -2.88V \text{ lo cual es imposible.}$$

4.3.2 MOSFET de enriquecimiento de CANAL P

Responde a una estructura dual de la del MOS de canal N: intercambian la regiones dopadas n por regiones dopadas p y viceversa. En este caso el canal se forma gracias a la existencia de cargas positivas libres (huecos, p+). El funcionamiento es similar. Es necesario colocar el substrato a la tensión más positiva, formándose el canal para valores de v_{GB} (v_{GS}) negativo, atrayendo a cargas p+. La corriente de drenador-fuente, I_{SD} , se origina si $v_{DS} < 0$.

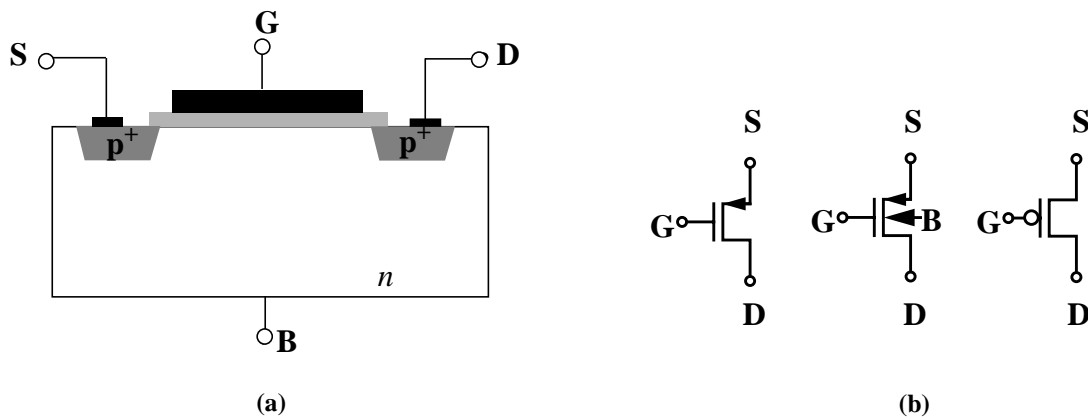


Fig. 4.13 Estructura MOSFET de canal P (a) y símbolos (b).

Las curvas I-V características que se obtienen se muestran en la Fig. 4.14.

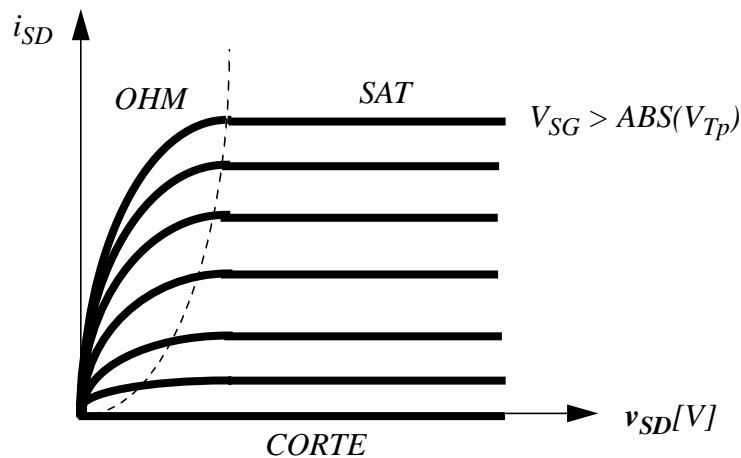


Fig. 4.14 Características de intensidad-tensión para un transistor PMOS.

4.3.3 MOSFET de empobrecimiento o depleción de CANAL N

La estructura *MOS* es similar a la de enriquecimiento. No obstante, durante el proceso de fabricación se ha añadido una implantación n^+ en la región del canal (definida por W y L). Esta modificación permite incrementar el número de cargas negativas en el canal (e^-). De este modo puede existir corriente entre el drenador y la fuente para valores de v_{GS} nulos e inclusive negativos (equivalentes a la existencias de tensiones umbrales negativas).

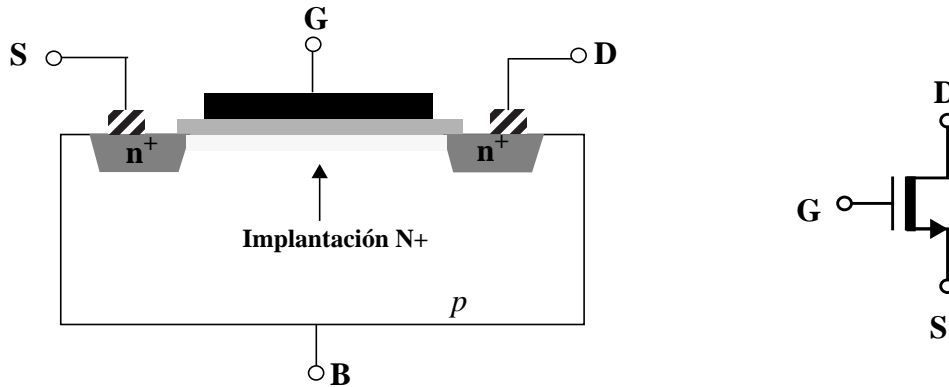


Fig. 4.15 Estructura *MOS* de canal N de empobrecimiento.

Las características i_{DS} , v_{DS} son muy parecidas a las de los transistores de enriquecimiento, distinguiéndose tres regiones:

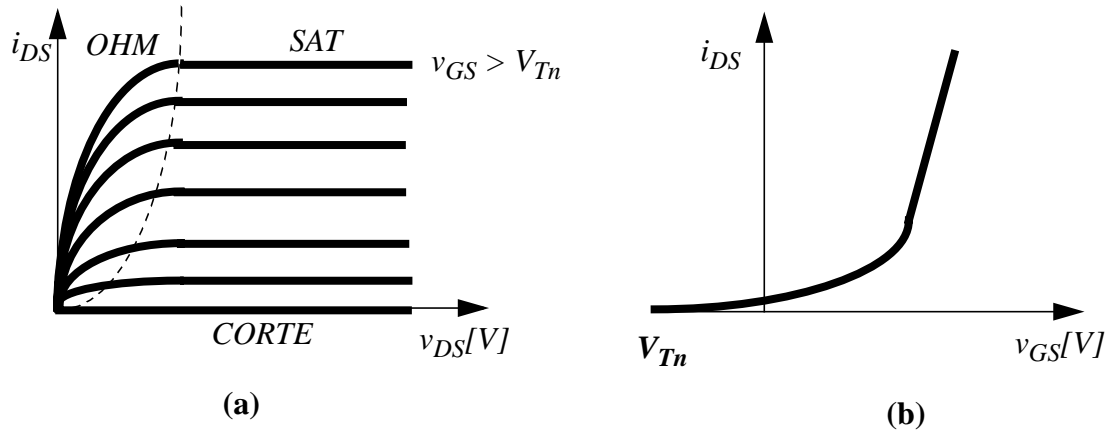


Fig. 4.16 Curvas i_{DS} vs v_{DS} (a) e i_{DS} vs v_{GS} (b).

- CORTE: $v_{GS} < V_{Tn} < 0 \rightarrow i_D = 0$
- CONDUCCIÓN: $v_{GS} > V_{Tn} \rightarrow i_D > 0$ si $v_{DS} > 0$.

en cuyo caso se pueden distinguir dos regiones de operación

Para $v_{DS} < v_{GS} - V_{Tn}$ el transistor opera en la *REGION OHMICA*, en la que la intensidad responde a la ecuación,

$$i_{DS} = \frac{I_{DSS}}{V_{Tn}} \left(2(v_{GS} - V_{Tn})v_{DS} - v_{DS}^2 \right), \quad \text{ohmica} \quad (4.11)$$

En ella, la funcionalidad de $i_{DS} = i_{DS}(v_{GS}, v_{DS}, V_{Tn})$ es la misma que para el transistor

MOS de empobrecimiento. Se puede tomar $\beta/2 = I_{DSS}/V_{Tn}$.

Asimismo, si $v_{DS} \ll 1$ se puede aproximar por,

$$i_{DS} = \frac{2I_{DSS}}{V_{Tn}}(v_{GS} - V_{Tn})v_{DS}, \quad \text{ohmica} \quad (4.12)$$

Para $v_{DS} > v_{GS} - V_{Tn}$ el transistor se encuentra en la REGION DE SATURACIÓN.

La ecuación para la intensidad drenador-fuente es

$$i_{DS} = \frac{I_{DSS}}{V_{Tn}}(v_{GS} - V_{Tn})^2 \quad \text{saturacion} \quad (4.13)$$

en la que la intensidad es constante.

Comentarios:

1) Para $v_{GS}=0$, de la expresión (4.13) encontramos:

$i_{DS} = i_{DSS}$ de modo que i_{DSS} representa la intensidad drenador-fuente para $v_{GS} = 0$ en saturación.

2) Para $v_{GS} - V_{Tn} = v_{DS}$, frontera entre las regiones óhmica y de saturación, si $v_{GS} = 0$ se verifica que $v_{DS} = -V_{Tn}$, es decir, en la interfase entre regiones, la tensión v_{DS} es igual a la tensión umbral del transistor si $v_{GS} = 0$.

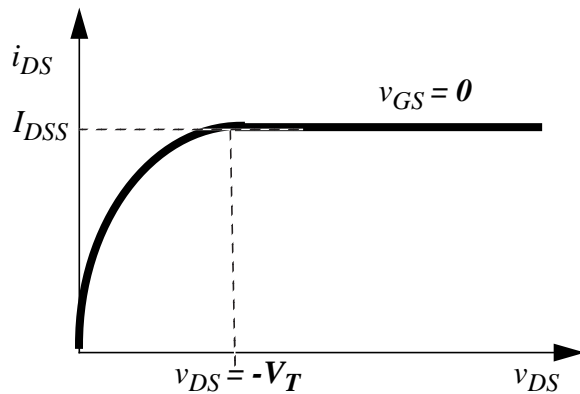
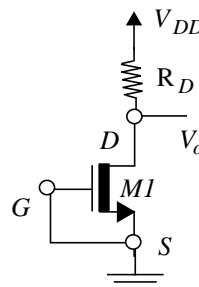


Fig. 4.17

EJEMPLO 4.2: Hallar i_{DS} y v_{DS} para el circuito de la Fig. 4.18 si $I_{DSS}=5mA$ y $V_{Tn}=-3V$. Considerar los casos (a) $R_D = 1K\Omega$ y (b) $R_D=2K\Omega$.

Fig. 4.18



Solución:

(a) La conexión del transistor indica que $v_{GS} = 0$.

Hipótesis 1: MI está es saturación.

De esta forma, $i_D = I_{DSS} = 5mA$, de donde se induce que $V_D = V_{DD} - i_D \cdot R_D = 7V$. La tensión $v_{DS} = 7V$ es mayor que $v_{GS} - V_{Tn} = 3V$, luego la hipótesis es verdadera.

(b) Para $R_D = 2K\Omega$.

Hipótesis 1: Si MI está es saturación, al igual que en el caso (a), se llega a que $v_{DS} = 2V < v_{GS} - V_{Tn} = 3V$, de modo que el transistor no está en saturación.

Hipótesis 2: MI está es óhmica. Se cumple entonces:

$$i_{DS} = \frac{I_{DSS}}{V_{Tn}^2} (-2V_{Tn}v_{DS} - v_{DS}^2) \quad (4.14)$$

y además se cumple la ecuación,

$$V_{DD} = I_D \cdot R_D + v_{DS} \quad (4.15)$$

Con ambas se llega a una ecuación de segundo grado en v_{DS} ,

$$v_{DS}^2 + \left(2V_{Tn} - \frac{V_{Tn}^2}{R_D \cdot I_{DSS}} \right) \cdot v_{DS} + \frac{V_{DD}}{R_D} \cdot \frac{V_{Tn}^2}{I_{DSS}} = 0 \quad (4.16)$$

que tiene dos soluciones:

Sol1: Para $v_{DS1} = 2.4V$ se obtiene $i_{DS1} = 4.8mA$ y $v_{DS1} < V_T = 3V$.

Sol2: Para $v_{DS2} = 4.5V$ se obtiene $i_{DS2} = 3.75mA$ y v_{DS2} no es menor de $3V$. no es válida.

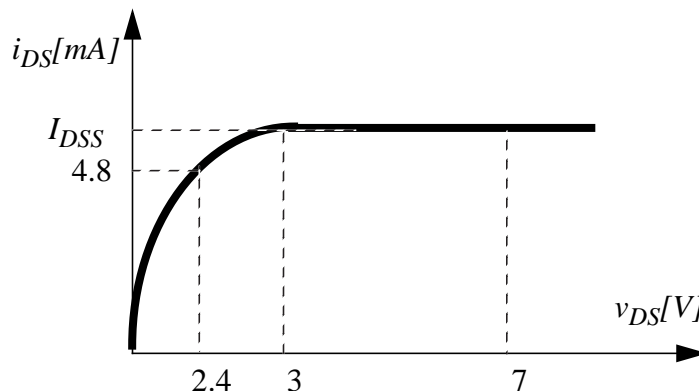


Fig. 4.19

4.3.4 MOSFET de empobrecimiento de CANAL P

Es similar al *MOS* de canal N de empobrecimiento, pero complementario respecto de la funcionalidad de las regiones N y P, así como del signo de las tensiones y sentido de las intensidades.

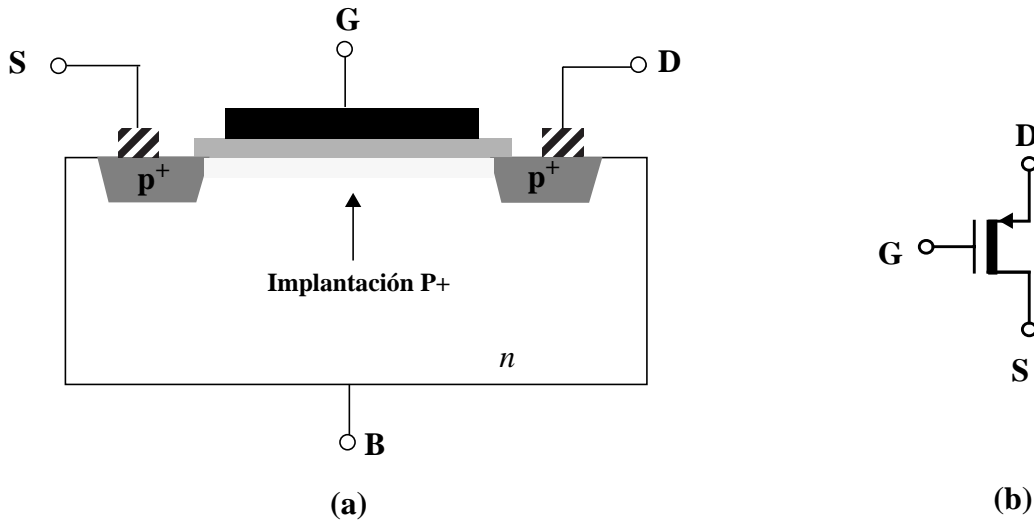


Fig. 4.20 Transistor *MOS* de empobrecimiento de canal P (a). Símbolo (b)

- CORTE: si $v_{SG} < |V_{Tp}| < 0$ entonces $i_D = 0$
- CONDUCCIÓN: si $v_{SG} > |V_{Tp}|$ entonces $i_D > 0$ si $v_{SD} > 0$.

en cuyo caso se pueden distinguir dos regiones de operación

Para $v_{SD} < v_{SG} - |V_{Tp}|$ el transistor se encuentra en la región *OHMICA*, en la que la intensidad responde a la ecuación,

$$i_{SD} = \frac{I_{DSS}}{V_{Tp}} (2(v_{SG} - |V_{Tp}|)v_{SD} - v_{SD}^2), \quad \text{ohmica} \quad (4.17)$$

En ella, la funcionalidad de $i_{SD} = i_{SD}(v_{SG}, v_{SG}, V_{Tp})$ es la misma que para el transistor *MOS* de empobrecimiento.

Asimismo, si $v_{SD} \ll 1$ se puede aproximar por,

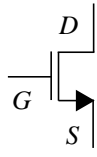
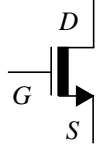
$$i_{SD} = \frac{2I_{DSS}}{V_{Tp}} (v_{SG} - |V_{Tp}|)v_{SD}, \quad \text{ohmica} \quad (4.18)$$

Para $v_{DS} > v_{GS} - |V_{Tp}|$ el transistor se encuentra en la región de *SATURACIÓN*. La ecuación para la intensidad drenador-fuente es.

$$i_{SD} = \frac{I_{DSS}}{V_{Tp}} (v_{SG} - |V_{Tp}|)^2 \quad \text{saturacion} \quad (4.19)$$

en la que la intensidad es constante.

Tabla 4.1 Resumen: Regiones de operación y ecuaciones para los transistores NMOS de enriquecimiento y empobrecimiento^a.

<i>Transistor</i>	<i>Región</i>	<i>Condiciones</i>	<i>Ecuaciones</i>
NMOS enriquecimiento 	<i>Corte</i>	$v_{GS} \leq V_{Tn}$	$i_{DS} = 0$
	<i>Ohmica</i>	$v_{GS} \geq V_{Tn}$ y $v_{GS} - V_{Tn} \geq v_{DS}$	$i_{DS} = \frac{k_n W}{2 L} (2(v_{GS} - V_{Tn})v_{DS} - v_{DS}^2)$
	<i>Saturación</i>	$v_{GS} \geq V_{Tn}$ y $v_{GS} - V_{Tn} \leq v_{DS}$	$i_{DS} = \frac{k_n W}{2 L} (v_{GS} - V_{Tn})^2$
NMOS empobrecimiento 	<i>Corte</i>	$v_{GS} \leq V_{Tn}$	$i_{DS} = 0$
	<i>Ohmica</i>	$v_{GS} \geq V_{Tn}$ y $v_{GS} - V_{Tn} \geq v_{DS}$	$i_{DS} = \frac{I_{DSS}}{V_{Tn}} \frac{1}{2} (2(v_{GS} - V_{Tn})v_{DS} - v_{DS}^2)$
	<i>Saturación</i>	$v_{GS} \geq V_{Tn}$ y $v_{GS} - V_{Tn} \leq v_{DS}$	$i_{DS} = \frac{I_{DSS}}{V_{Tn}} (v_{GS} - V_{Tn})^2$

a. Para los transistores PMOS de enriquecimiento y empobrecimiento, se pueden deducir de esta tabla, cambiando los las polaridades de las tensiones y los sentidos de las intensidades.

4.4 EL MOSFET COMO INVERSOR.

El funcionamiento del transistor *MOS* en conmutación implica que las tensiones de entrada y salida del circuito posee una excursión de tensión elevada ($0, V_{DD}$) entre los niveles lógicos alto (V_H , asociada a la tensión V_{DD}) y bajo (V_L , asociada a la tensión 0). Para el nivel bajo, se persigue que $v_{GS} > V_T$ y que el transistor se encuentre trabajando en la región óhmica, con lo cual $v_{DS} \ll I$, mientras que en el nivel alto, que la tensión de salida sea elevada, y en general, que el transistor esté funcionando en la región de corte, con $v_{DS} \gg I$.

El funcionamiento como inversor del transistor *NMOS* se basa en sus características en conmutación: paso de corte a zona óhmica. Para el inversor *NMOS* con carga resistiva analizado en el ejemplo anterior, la variable a la entrada, considerada como binaria, ($0, V_{DD} \text{ -- } V_L, V_H$) se invierte a la salida (V_H, V_L). La realización de resistencias en circuitos integrados es

tecnológicamente compleja e imprecisa, no siendo una solución eficiente (tamaño elevado, precisión baja), de forma que en la práctica se emplean otros tipos de cargas equivalentes. A continuación se analiza el funcionamiento de tales circuitos. En la Fig. 4.21 se muestra un inversor *NMOS* con carga resistiva.

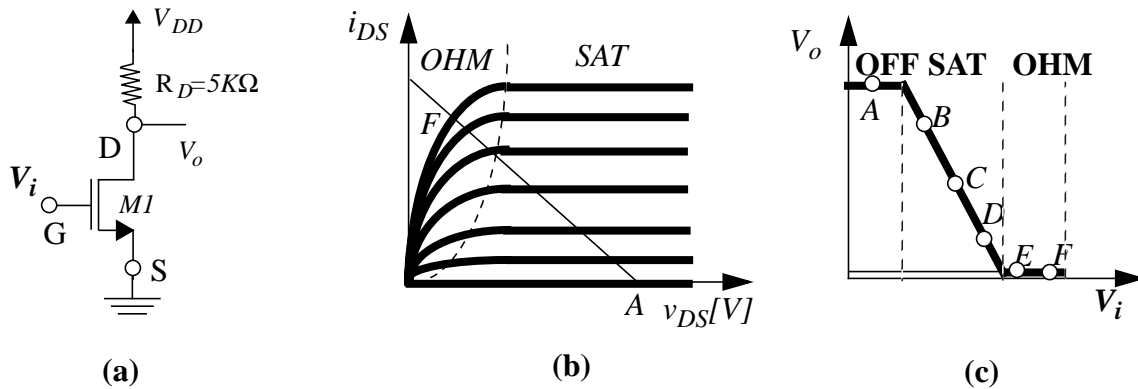


Fig. 4.21 Inversor *NMOS* con carga resistiva: Circuito (a). Polarización de las curvas de salida (b). Característica de transferencia (c).

Para diferentes valores de V_i , el *NMOS* conmuta entre corte y óhmica, siguiendo la trayectoria que va desde el punto A al F, cuando la entrada varía entre 0 y V_{DD} . En ella, el transistor pasa por las regiones de corte, saturación y óhmica, por este orden.

4.4.1 Inversores *NMOS*.

La dificultad de obtener resistencias integradas puede ser resuelta si se substituye por algún elemento de carga capaz de conservar la funcionalidad como inversor (Fig. 4.22). Se puede tomar como carga un transistor de empobrecimiento de canal N, como se muestra en la Fig. 4.23.

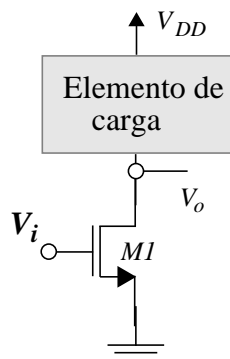


Fig. 4.22 Inversor *NMOS* con elemento de carga genérico.

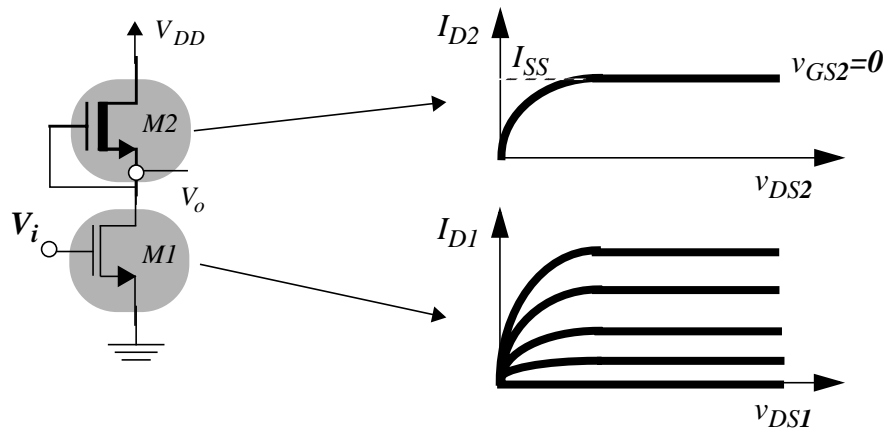


Fig. 4.23 Inversor con carga de empobrecimiento.

En la Fig. 4.23 se muestran algunos valores de v_{GS1} tomados para ilustrar la evolución de la intensidad de drenador en $M1$, transistor de control o *driver*. La curva i_{D2} - v_{DS2} para $M2$, queda definida por la tensión $v_{GS2}=0$. Para analizar el comportamiento se puede deducir las siguientes relaciones topológicas,

$$V_i = v_{GS1} \quad (4.20)$$

$$V_o = V_{DD} - v_{DS2} = v_{DS1} \quad (4.21)$$

$$i_{D1} = i_{D2} \quad (4.22)$$

De la expresión (4.21) se deduce que el comportamiento del transistor $M2$ se asemeja al de una línea de carga (misma funcionalidad que una recta de carga) para el transistor $M1$. La solución gráfica demuestra que la trayectoria que siguen los puntos solución del circuito obedecen a las que corresponderían a un inversor. En este caso, los puntos que *visitan* son diferentes a los encontrados con una resistencia de carga. La característica de transferencia se aproxima mejor a la de un inversor ideal, ya que se reduce la anchura de la región de transición (Para un inversor ideal, la ganancia en la zona de transición es infinita). A partir del punto A, los transistores cambian de regiones de operación en función del valor de la entrada. Se puede demostrar que la los transistores recorren las siguientes regiones:

REGION I:	M1 OFF	M2 OHMICA
REGION II:	M1 SATURACION	M2 OHMICA
REGION III:	M1 SATURACION	M2 SATURACION
REGION IV:	M1 OHMICA	M2 SATURACION

hasta llegar al punto F . La determinación de las diversas regiones se realiza mediante el análisis del circuito y las ecuaciones de cada dispositivo.

Se aprecia como para el cero lógico a la salida, el transistor $M1$ permanece en la región óhmica, con una tensión v_{DS1} e intensidad i_{D1} no nulas. Por esta razón, el consumo de potencia estática, es decir, aquella potencia que se consume en estado de reposo (cuando no cambian las entradas del circuito) es finita. Este problema se puede resolver mediante la utilización de los denominados inversores $CMOS$.

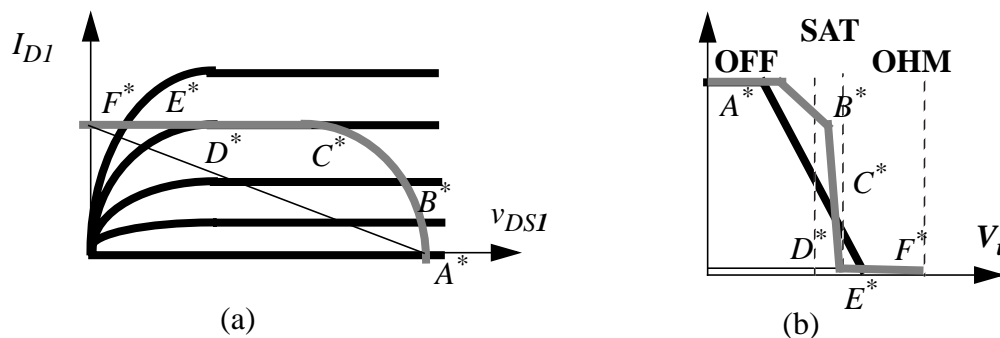


Fig. 4.24 Solución gráfica para una carga de empobrecimiento (a) característica de transferencia (b).

4.4.2 Inversores CMOS.

Es un dispositivo integrado formado por un $NMOS$ y un $PMOS$, ambos de enriquecimiento y realizados sobre la misma oblea. De ahí su nombre, $CMOS$ (*Complementary MOS*). Utilizando esta tecnología es posible diseñar un circuito inversor cuya disipación de potencia en continua sea prácticamente nula. Es decir, solo consume potencia en los transitorios que representan cambios de estado a la salida. Por esta razón, la tecnología $CMOS$ se utiliza ampliamente en circuitos digitales, y en especial ventajosa para equipos de bajo consumo de potencia. Así, por ejemplo, las memorias RAM mantenidas por baterías suelen ser $CMOS$ para que cuando el ordenador se apague o no este el inversor con carga de empobrecimiento accediendo a ella, se mantenga la información con el menor gasto de potencia.

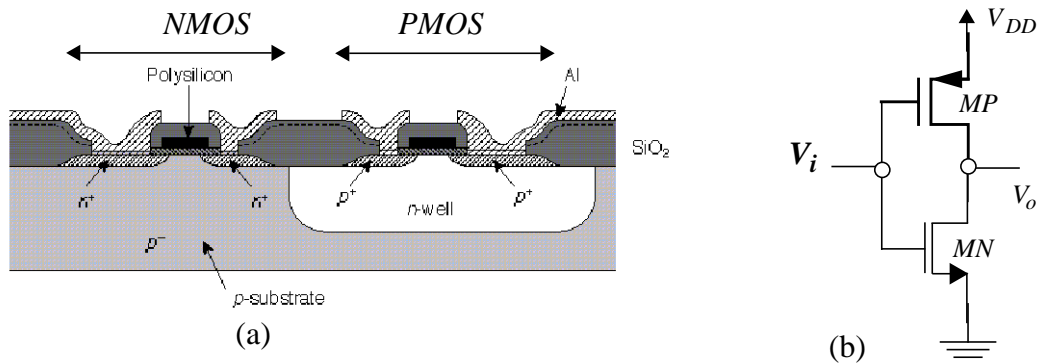


Fig. 4.25 Tecnología CMOS. Transistores NMOS y PMOS (a). Inversor CMOS (b).

En la Fig. 4.26 aparece un inversor CMOS. La tensión de ambas puertas es la misma e igual a la tensión de entrada, V_i . Para los dos posibles valores lógicos de V_i ($0, 1 \rightarrow 0, V_{DD}$) la salida ha de corresponderse con los correspondientes valores complementados. Topológicamente, se cumplirá para cualquier valor de V_i :

$$V_i = v_{GSn} = v_{DD} - v_{SGp} \quad (4.23)$$

$$V_{DD} = v_{GSn} + v_{SGp} \quad (4.24)$$

$$i_{Dn} = i_{Dp} \quad (4.25)$$

Se pueden diferenciar los siguientes casos extremos:

A) $V_i = 0$:

La tensión de puerta fuente se encuentra por debajo del valor umbral, V_{Tn} , y MN está cortado. La corriente $I_{Dn}=0$. Además, la tensión $V_{SGp} = -V_{DD} < V_{Tp}$, de modo que MP está conduciendo, o al menos, tiene el canal p creado. Sobre la característica de $I_{Dp}-V_{SDp}$ se dispone de una curva sobre la que es necesario determinar cuál es el punto real de trabajo. En concreto, ya que $I_{Dn} = I_{Dp} = 0$, la localización de las coordenadas sitúan a la gráfica en el punto A, para el que $V_{SDp}=0$, y por lo tanto $V_o = V_{DD}$. Se puede resumir es estado en:

Para $V_i = 0 \Rightarrow V_o = V_{DD}$ e $i_D = 0$ en situación estacionaria.

B) $V_i = V_{DD}$:

El comportamiento en para este valor de la tensión de entrada es el dual que en el caso (A), intercambiando el estado de los transistores NMOS y PMOS. Así, se cumplirá que: $V_{SGp}=0$,

y MP está en corte, $i_{Dp}=0$, y que $v_{GSn}=V_{DD}$, con lo que MN está conduciendo. La situación de la polarización de MN se ilustra en la Fig. 4.26 (b), en la que el punto B es el punto solución del circuito. La tensión de salida en este caso es $V_o=0$. Para $V_i = V_{DD}$, $V_o=0$ e $i_D = 0$ en situación estacionaria.

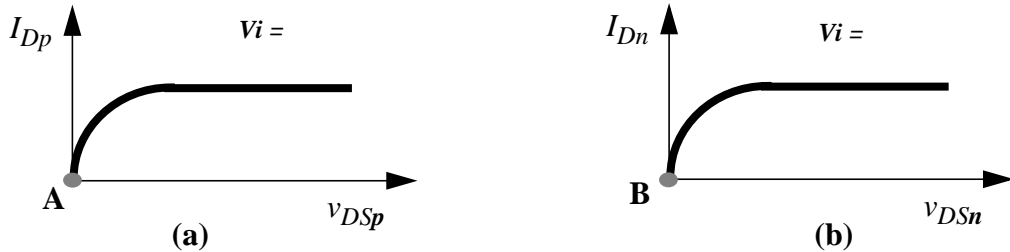


Fig. 4.26 Polarización del PMOS y NMOS.

De este modo, mediante los casos (A) y (B) hemos recorrido los puntos extremos de la característica de un inversor, y se demuestra que este circuito es capaz de implementar dicha funcionalidad. La característica de transferencia completa se muestra en la Fig. 4.27. Para obtenerla es necesario modificar los valores de V_i entre 0 y V_{DD} , y analizar la ruta que sigue V_o en base al estado de los transistores para cada una de las tensiones de entrada.

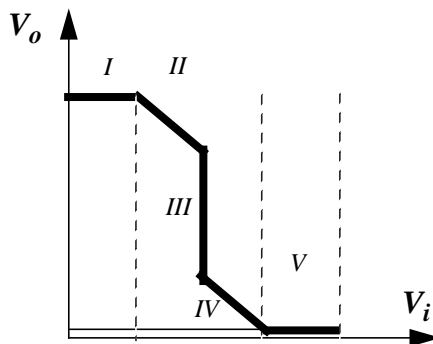


Fig. 4.27 Característica de transferencia de un inversor CMOS.

En ella, se distinguen las siguientes regiones de operación:

REGION I:	MN OFF	MP OHMICA
REGION II:	MN SATURACION	MP OHMICA
REGION III:	MN SATURACION	MP SATURACION
REGION IV:	MN OHMICA	MP SATURACION
REGION V:	MN OHMICA	MP OFF

La determinación de la característica de transferencia requiere la definición de las regiones de operación para ambos transistores en función de la tensión de entrada y la posterior resolución de las ecuaciones correspondientes del circuito.

4.5 EL MOSFET COMO AMPLIFICADOR.

El funcionamiento del transistor *MOS* como amplificador está asociado al concepto de recta de carga y de polarización en un determinado punto de trabajo. Se supone el circuito de la Fig. 4.28, en el que aparece una resistencia de carga, R_D . La tensión de entrada V_i es aplicada

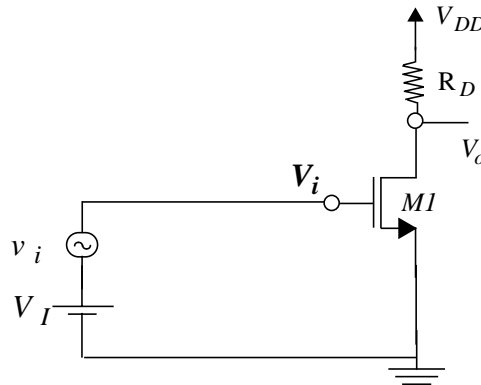


Fig. 4.28 Circuito amplificador.

directamente a la puerta del transistor, de modo que $v_{GS} = V_I$. Además, $V_{DD} = i_D \cdot R_D + v_{DS}$ representa la recta de carga en el plano i_D, v_{DS} , que incluye a todos los puntos solución del circuito, en función del valor de V_i . El punto de trabajo queda definido por $v_{GS}(V_i)$ (Fig. 4.29)

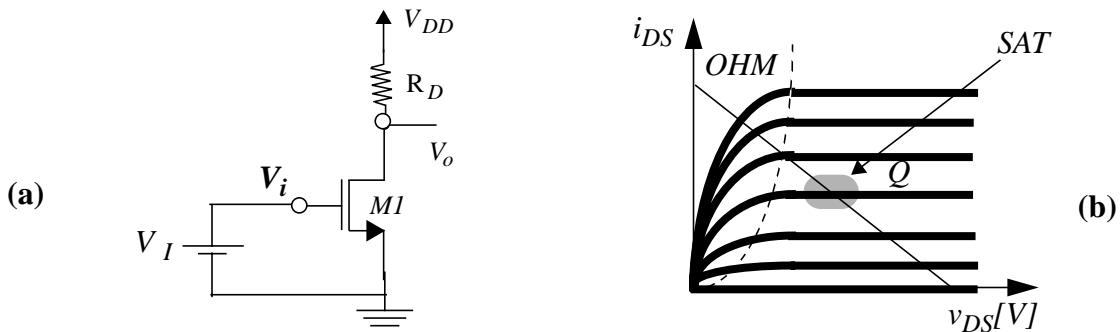


Fig. 4.29 Recta de carga (a) y Polarización de *MI* (b).

Como se ha visto anteriormente, a partir de los puntos de la recta de carga se puede obtener la característica de transferencia de un circuito inversor, pero también se puede hacer funciona a este circuito como amplificador de señal. Para ello, la polarización ha de hacerse en la región de saturación. El análisis como amplificador requiere que, una vez se ha realizado la polarización del transistor (Q), se linealice el comportamiento en un entorno reducido de dicho punto. Para ello se substituye el *MOS* por su modelo en pequeña señal.

Modelo en pequeña señal de un *NMOS* (estática).

Para obtener el modelo en pequeña señal del transistor *MOS* se parte de las ecuaciones $i_D = f(v_{GS}, v_{DS})$, en este caso, para la región de saturación,

$$i_D = \frac{k_n W}{2 L} (v_{GS} - V_{Tn})^2 \quad (4.26)$$

y las deriva:

$$\left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q = k_n \frac{W}{L} (v_{GS} - V_{Tn}) = \sqrt{2k_n \frac{W}{L} i_D} = g_m \quad (4.27)$$

Para el cálculo de la conductancia (resistencia de salida) se utiliza la expresión (4.8),

$$\left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q = \frac{\lambda \cdot I_{DS}}{(1 + \lambda \cdot V_{DS})} \cong \lambda \cdot I_{DS} = g_{ds} \quad (4.28)$$

Obteniéndose el circuito equivalente de la Fig. 4.30. En el que la g_m es proporcional a $(v_{GS} - V_T)$ en el punto de operación. La puerta se encuentra aislada y se comporta como una fuente de intensidad controlada por tensión.

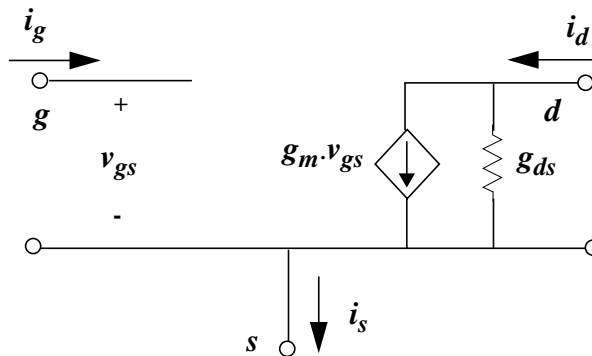


Fig. 4.30 Modelo en pequeña señal de un MOSFET.

Para un transistor NMOS con $k_n \cdot W/L = 0.1 \text{ mA/V}^2$, y $\lambda = 0.01 \text{ V}^{-1}$, los valores obtenidos para el modelo en pequeña señal en saturación, correspondientes a las ecuaciones (4.27) y (4.28) son: $g_m = 223.6 \mu\text{A/V}$ y $g_{ds} = 10^{-5} \Omega^{-1}$, respectivamente.

4.6 MODELADO DINAMICO DEL MOSFET.

Al igual que en los transistores bipolares, la existencias de condensadores parásitos en la estructura MOS origina el retraso en la respuesta del mismo cuando es excitado por una señal de tensión o intensidad externa. La carga/descarga de los condensadores parásitos requiere un determinado tiempo, que determina la capacidad de respuesta de los MOSFET a una excitación. En la estructura y funcionamiento de estos transistores se localizan dos grupos de capacidades:

- 1) Las capacidades asociadas a las uniones PN de las áreas de drenador y fuente. Son no

lineales con las tensiones de las uniones. Se denominan Capacidades de Unión.

- 2) Las capacidades relacionadas con la estructura *MOS*. Están asociadas principalmente a la carga del canal (iones o cargas libres) y varían notoriamente en función de la región de operación del transistor, de modo que no es posible, en general, considerar un valor constante de las mismas. Se denominan Capacidades de Puerta.

De ellas, las capacidades de puerta suelen ser más significativas, y dentro de ellas, la capacidad de puerta fuente (C_{gs}) y de drenador-fuente (C_{gd}) son en general las dominantes.

El análisis dinámico de comportamiento de un transistor *MOS* es necesario realizarlo en dos contextos: 1) en el análisis de circuitos en PEQUEÑA SEÑAL, donde además del modelo estático del *MOS*, se incluyen las capacidades parásitas. Es propio del comportamiento lineal del *MOSFET*, como por ejemplo en amplificación. 2) En el análisis de circuitos en GRAN SEÑAL, donde se analiza la conmutación entre estados lógicos del transistor. En este caso, es necesario incorporar las capacidades parásitas al análisis de las diferentes regiones de operación que recorren los transistores (ruta dinámica) de estos circuitos. En el circuito de la Fig. 4.31 se muestra un inversor CMOS con una capacidad de carga C_L . Se supone que C_L incluye tanto la capacidad de carga del circuito como las capacidades parásitas más importantes del mismo. La existencia de esta capacidad limita el tiempo mínimo necesario para realizar transiciones entre estados lógicos estables: cero y uno.

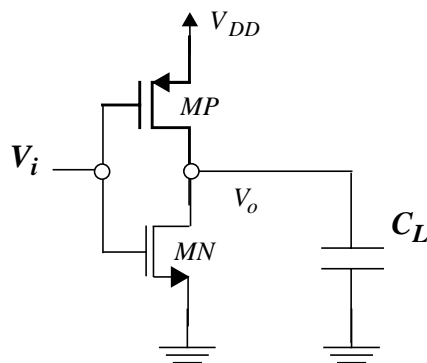


Fig. 4.31 Inversor CMOS con carga capacitiva

Así, cuando se pasa de cero a uno en la entrada (0 a V_{DD}) la salida no cambia instantáneamente de uno a cero (V_{DD} a 0), sino que emplea un cierto tiempo. Se puede suponer, para cálculos simplificados, que MP adquiere instantáneamente su estado final (*CORTE*), de forma que el transitorio a analizar contemplaría el circuito de la Fig. 4.32(a), con el transistor MN pasando de corte a saturación y óhmica, hasta que alcance la tensión 0 de salida. Durante este proceso se

descarga el condensador C_L . Algo similar puede suponerse para la transición de uno a cero en la entrada. Si suponemos que MN se corta instantáneamente, el circuito de la Fig. 4.32(b) refleja la carga del condensador C_L a través de MP , que pasa de corte a saturación y finalmente a óhmica. Los tiempos empleados en ambas transiciones limitan la velocidad de conmutación del inversor $CMOS$.

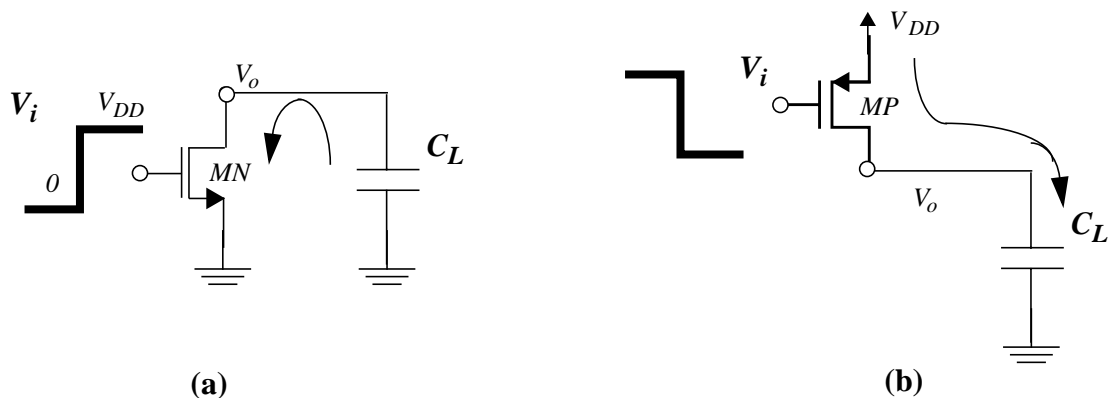


Fig. 4.32 Circuitos equivalentes durante la conmutación en la entrada: (a) 0 a 1 (b) 1 a 0.

4.7 BIBLIOGRAFIA.

- [SEDR91] A. S. Sedra and K. C. Smith: "Microelectronic Circuits". *Saunders Collegue Publishing, Third Edition*. 1991.
- [GHAU87] Ghausi, M.S.: "Circuitos electrónicos discretos e integrados". *Nueva editorial Interamericana*, 1987.
- [SCHI93] Schilling, D.L. and Belove.: "Circuitos electrónicos discretos e integrados". *3ª edición, McGraw-Hill*, 1993.